**TRƯỜNG ĐẠI HỌC CÔNG NGHỆ**

**ĐẠI HỌC QUỐC GIA HÀ NỘI**



**BÁO CÁO THỰC HÀNH**

**MÔN THỰC TẬP ĐIỆN TỬ SỐ - ELT3103-46**

**Bài 2: CỔNG LOGIC (2)**

**ĐỊNH NGHĨA - ĐẶC TRƯNG**

**Sinh viên thực hiện: Phùng Đình Thành**

**Mã số sinh viên: 20021582**

**Giáo viên phụ trách: Chu Thị Phương Dung**

**Hoàng Bảo Anh**

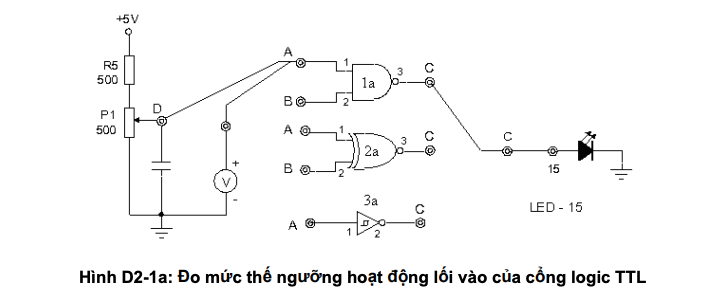
**BÁO CÁO THỰC NGHIỆM**

***(Một số phần được thực hiện trên phần mềm mô phỏng Proteus)***

**I.Các đặc trưng của cổng logic - TTL**

**1. Cấp nguồn+5V cho mảng sơ đồ D2-1**

**2. Đo mức thế ngưỡng hoạt động lối vào của cổng logic TTL**

**

**2.1**

Bảng D2-1

|  | IC1/a | IC2/a | IC3/a |
| --- | --- | --- | --- |
| Vaul | 0,8 | 1,098 | 0,8 |
| Vall | 1,104 | 0,8 | 1,4 |

**2.2.** Chọn khoảng thế vào cho các mức logic:

+ Khoảng thế của mức logic thấp (0) : 0 – 8(V)

+ Khoảng thế của mức logic cao (1) : 1,098 – 1,4(V)

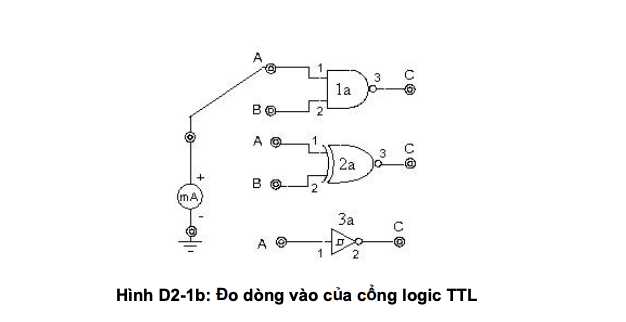
**2.3.**

Với IC3, khoảng thể của mức chuyển trạng thái là 1,69.

Với IC1, IC2, khoảng thế của mức chuyển trạng thái lần lượt là 0.21V và 0,22V.

Như vậy, khoảng thế của mức chuyển trạng thái của IC3 lớn hơn nhiều của IC1 và IC2. Điều này khiến cho IC3 có thể phân biệt mức logic cao và mức logic thấp rõ ràng hơn. Vì vậy, khả năng chống nhiều của IC3 tốt hơn.

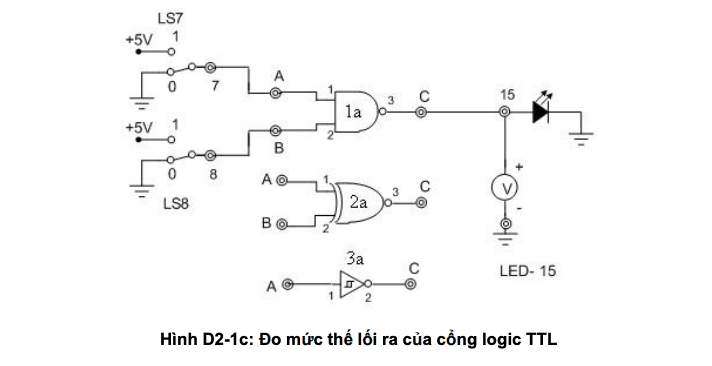
**3. Đo dòng vào của cổng logic TTL**



*Bảng D.2-2*

|  | IC1/a | IC2/a | IC3/a |
| --- | --- | --- | --- |
| Ii | 0,24 | 0,33 | 0,25 |
| R1i = +5V/(k | 20,83 | 15,623 | 20 |
| R10i = R1ul/10(k | 0,024 | 0,032 | 0,025 |

**4. Đo mức thế lối ra của cổng logic TTL**

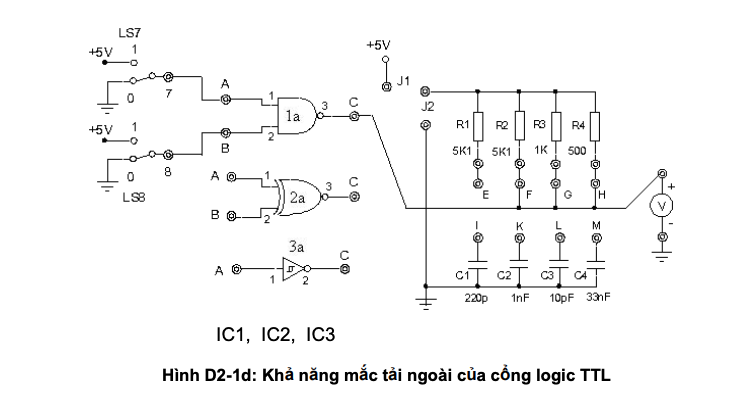


**4.2**

*Bảng D2.3*

| LS7 LS8 | A B | VC(V) |
| --- | --- | --- |
| 0 0 | 0 0 | 3,4 |
| 0 1 | 0 1 | 3,4 |
| 1 0 | 1 0 | 3,4 |
| 1 1 | 1 1 | 0,1 |

**4.4**

**

*Bảng D.2-4*

| A | B | Vc(V) | | | |
| --- | --- | --- | --- | --- | --- |
| R=∞ | R=R2=5K1 | R=R3=1K | R=R4=510 |
| 0 | 0 | 4,76 | 4,77 | 4,75 | 4,75 |
| 0 | 1 | 4,72 | 4,77 | 4,75 | 4,75 |
| 1 | 0 | 4,72 | 4,77 | 4,75 | 4,75 |
| 1 | 1 | 0,18 | 0,171 | 0,17 | 0,17 |

Nhìn vào bảng, ta thấy khi có trở tải R thì mức thế lối ra sẽ tăng lên.

**4.5** Ngắt J1, nối J2 để nối các trở R1-R4 xuống đất:

| A | B | Vc(V) | | | |
| --- | --- | --- | --- | --- | --- |
| R= | R=R2=5K | R=R3=1K | R=R4=510 |
| 0 | 0 | 4,334V | 3,241V | 3,101V | 2,962V |
| 0 | 1 | 4,249V | 3,237V | 3,069V | 2,961V |
| 1 | 0 | 4,206V | 3,234V | 3,097V | 2,958V |
| 1 | 1 | 168,5mV | 166,4mV | 156,2mV | 140,2mV |

=> Ta thấy khi trở tải nối đất, khả năng tải của cổng logic sẽ giảm xuống. Khả năng tải của cổng logic khi trở tải nối đất phụ thuộc nhiều vào giá trị của trở tải. Trở có giá trị càng nhỏ, thế lối ra càng giảm và có thể dẫn đến nhiều. Căng mắc nhiều trở tải song song sẽ càng làm lối ra của cổng cảng thấp dẫn đến hiện tượng nhiễu lối ra.

**5. Khả năng tải điện dung của cổng logic TTL**

**Thực hành trên Proteus**

**5.4**/ Trường hợp chưa có tải điện dung, mạch được mô phỏng như hình:

Diagram

Description automatically generated with medium confidence

Dạng tín hiệu thu được khi đó là:

Graphical user interface

Description automatically generated

**5.5**.Trường hợp có tải điện dung, mạch được mô phỏng như hình:

Diagram, schematic

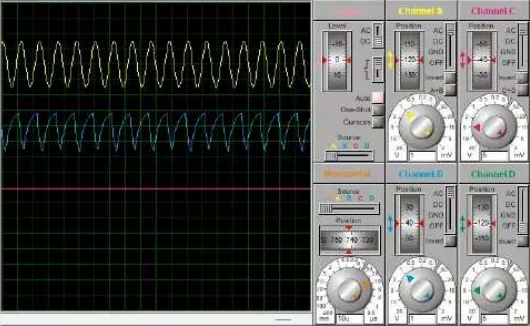
Description automatically generated

Dạng tín hiệu thu được khi đó là:

Graphical user interface, application

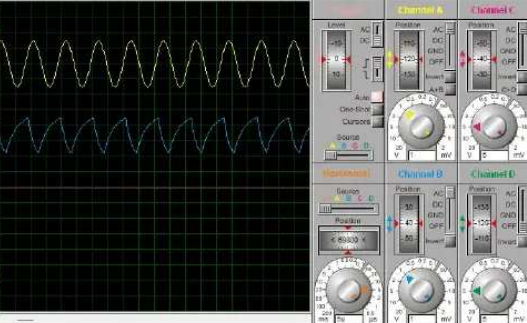
Description automatically generated

**5.6.** Tăng tần số máy phát của thiết bị chính cho đên khi lối ra IC4/b mất xung



Giá trị tần số tới hạn là 83kHz

**5.7.**Giảm trở tái cho IC4/a từ 5K1 xuống 1K. Ngắt dây nối điểm C (C4/) với E (trở tải R1). Nối điểm C (IC4/a) với G (trở tủi R3). Lặp lại bước 5.6. Quan sát và vẽ lại dạng xung ở lối ra của IC4/3, IC4/6 khi có tải điện dung và trở tài lên nguồn nhỏ hơn.

****

**5.8 Nhận xét** về khả năng tải điện dung của cổng logic: Khi giá trị tụ điện càng lớn, thì khoảng chuyển tiếp (mức cao-thấp) của kênh B và C càng rộng, độ rộng xung lẻ ra kênh C càng lớn. Vì vậy, khi tăng điện dung ở lối ra thì nhiễu lối ra của kênh càng lớn.

**6. Đặc trưng truyền của cổng logic TTL**

| Vi(D) | 0V | 1 | 1.25 | 1.75 | 2 | 2.5 | 2.75 | 3,5 | 3.75 | 4.25 | 5 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Vo(D) | 3, 4 | 2,5 | 0,171 | 0,171 | 0,171 | 0,171 | 0,174 | 0,172 | 0 | 0 | 0 |

**2. Các đặc trưng của Cổng CMOS**

1. **Cấp nguồn 0 +15V cho mảng mạch D2-2. Đặt giá trị nguồn +VDD = +5V**
2. **Đo mức thế ngưỡng hoạt động lối vào của cổng logic CMOS**

**2.1**

Bảng D2-6

| IC1/a | VDD = +5V | VDD = +12V |
| --- | --- | --- |
| Vaul | 1,5 | 1,5 |
| Val | 2,05 | 2,1 |

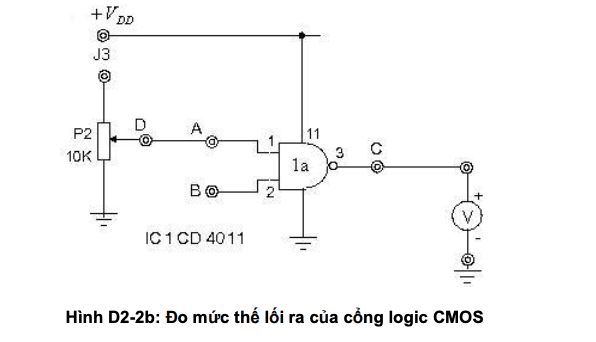
**2.2**

* Khoảng thế vào cho các mức logic cao là 2.05 V để đảm bảo sự làm việc ổn định của cổng logic hai trạng thái.
* Khoảng thế vào cho các mức logic thấp là 1.5 V để đảm bảo sự làm việc ổn định của cổng logic hai trạng thái.

**2.3. So sánh khoảng thế làm việc lối vào của cổng CMOS với TTL:**

Khoảng thế làm việc lối vào của CMOS cao hơn so với TTL.

1. **Đo mức thế lối ra của cổng logic CMOS:**



**3.1**

Bảng D2-7

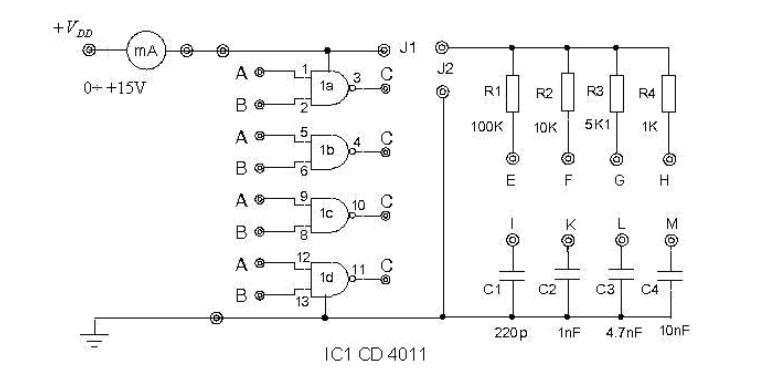
| IC1/a | VDD = +5V | VDD = +12V |
| --- | --- | --- |
| Vc~(1) | 5 | 5 |
| Vc~(0) | 2,5 | 2,5 |

**3.2 So sánh khoảng thế làm việc lối ra của cổng CMOS với TTL:**

Thế làm việc lối ra của CMOS > TTL

1. **Công suất tiêu tán của cổng logic CMOS**

4.1

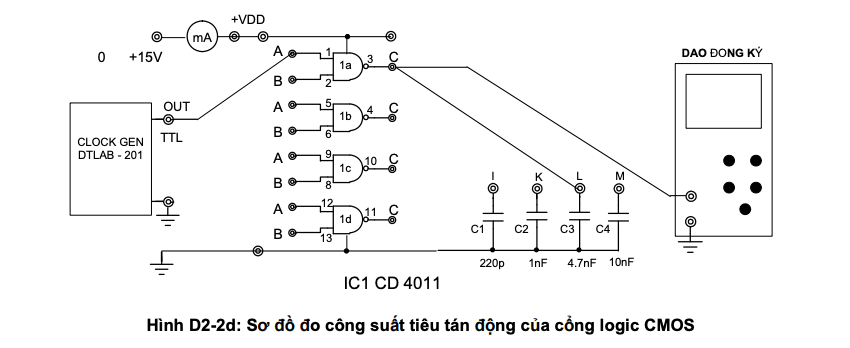
****

4.5. Quan sát và vẽ lại dạng xung ở lối ra của IC1/a.

****

4.6 Nối lối ra C của IC1/a với L (tụ C3 = 4.7nF) (hình D2-2d).Quan sát và vẽ lại dạng xung ở lối ra của IC1/a.





4.6+4.7+4.8

Bảng D2-7

| +VDD | Kiểu làm việc | 1kHz | 5kHz | 10kHz |
| --- | --- | --- | --- | --- |
| 5V | C3 = 0(không nối C-L) | 50mA | 25mA | 50mA |
| C3 = 4.7nFkhông nối C-L) | 50mA | 25mA | 50mA |
| 10V | C3 = 0(không nối C-L) | 50mA | 50mA | 50mA |
| C3 = 4.7nFkhông nối C-L) | 50mA | 50mA | 50mA |
| 15V | C3 = 0(không nối C-L) | 25mA | 50mA | 50mA |
| C3 = 4.7nFkhông nối C-L) | 25mA | 50mA | 50mA |

1. **Đặc trưng truyền của cổng**

| VDD = +3.5V | | VDD = +5V | | VDD = +10V | | VDD = +15V | |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **VI** | VO | VI | VO | VI | VO | VI | VO |
| 0 | 5V | 0 | 5V | 0 | 5V | 0 | 5V |
| 1.5V | 5V | 2V | 2.5V | 2V | 2.5V | 2V | 2.5V |
| 2V | 2.5V | 3V | 2.5V | 5V | 2.5V | 8V | 2.5V |
| 3.5V | 2.5V | 5V | 2.5V | 10V | 2.5V | 15V | 2.5V |

**3.Đặc trưng trễ của cổng Logic**

**1. Đặc trưng trễ của cổng logic TTL**

* Mạch được mô phỏng trên Proteus như sau:

Chart, line chart

Description automatically generated

* Thực hiện chạy mô phỏng theo hướng dẫn ta thu được tín hiệu ra:

Graphical user interface

Description automatically generated

Graphical user interface

Description automatically generated

* Theo hình trên ta thấy sóng ra (sóng xanh) trễ hơn sóng vào (sóng vàng) rất bé tính bằng ns của cổng TTL. Độ trễ là:

tđ (6) = 0.6 (ns)

=>Thời gian trễ cho 1 cổng logic TTL tđ (6) / 6 = 0.1 (ns)

* **Nhận xét:** Dựa vào tín hiệu đầu ra thu được ta có thể thấy độ trễ rất nhỏ, giá trị được tính bằng khoảng ns của cổng.

**2, Đặc trưng trễ của cổng CMOS**

* Mạch được mô phỏng trên Proteus như sau:

Chart

Description automatically generated

* Thực hiện chạy mô phỏng theo hướng dẫn ta thu được tín hiệu ra:

Graphical user interface

Description automatically generated

Graphical user interface

Description automatically generated

* Đo độ trễ:

A picture containing text, electronics

Description automatically generated

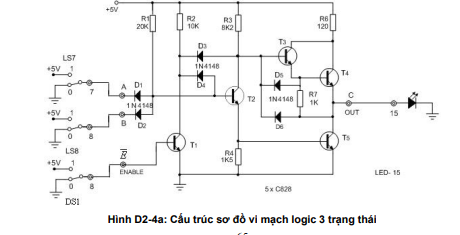
* Theo hình trên ta thấy sóng ra (sóng xanh) trễ hơn sóng vào (sóng vàng) rất bé tính bằng ns của cổng CMOS. Độ trễ là:

tđ (6) = 0.6 (ns)

=> tđ (6) / 6 = 0.1 (ns)

**4. Vi mạch logic 3 trạng thái**

1. **Cấp nguồn +5V cho mảng sơ đồ D2-4**
2. **Cấu trúc cổng 3 trạng thái**



| DS1  E | LS7  A | LS8  B | Lối ra C |
| --- | --- | --- | --- |
| 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 |
| 1 | X | X | 0 |

1. **Vi mạch cổng 3 trạng thái**

Bảng D2-11

| LS8 | LS9  A | Lối ra C |
| --- | --- | --- |
| 0 | 1 | 1 |
| 0 | 0 | 0 |
| 1 | X | 0 |

1. **Bộ chuyển số liệu 2 chiều 3 trạng thái**

4.1 Công tắc nối từ chân A1 đến A8

* Mạch được mô phỏng trên Proteus như sau:

Diagram, schematic

Description automatically generated

Bảng D2-12

|  | A1=1 | A2=0 | A3=1 | A4=0 | A5=1 | A6=0 | A7=1 | A8=0 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| E=1 | B1=0 | B2=0 | B3=0 | B4=0 | B5=0 | B6=0 | B7=0 | B8=0 |
| E=0 | B1=1 | B2=0 | B3=1 | B4=0 | B5=1 | B6=0 | B7=1 | B8=0 |

4.2 Công tắc nối từ chân B1 đến B8

* Mạch được mô phỏng trên Proteus như sau:

Diagram, schematic

Description automatically generated

Bảng D2-13

|  | B1=1 | B2=0 | B3=1 | B4=0 | B5=1 | B6=0 | B7=1 | B8=0 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| E=1 | A1=0 | A2=0 | A3=0 | A4=0 | A5=0 | A6=0 | A7=0 | A8=0 |
| E=0 | A1=1 | A2=0 | A3=1 | A4=0 | A5=1 | A6=0 | A7=1 | A8=0 |